



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000299623 A

(43) Date of publication of application: 24.10.00

(51) Int. Cl.

H03K 3/037

(21) Application number: 11105361

(22) Date of filing: 13.04.99

(71) Applicant: HITACHI LTD

(72) Inventor: YABUKI SHINOBU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE

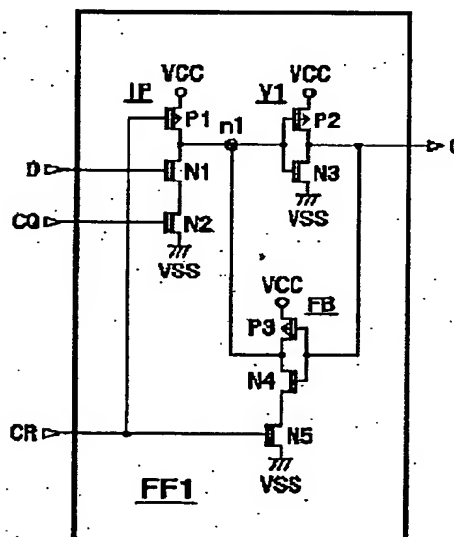
(57) Abstract

PROBLEM TO BE SOLVED: To accelerate a microprocessor or the like and to shorten the machine cycle of a computer system or the like by providing a flip-flop (FF) operable at high speed.

SOLUTION: An FF 1, the basic element of a sequential circuit for the microprocessor or the like, is composed of an input part IP provided with a P channel MOSFET P1 provided between a power supply voltage VCC and an internal node n1 for receiving a pulse reset signal CR at the gate thereof and N channel MOSFET N1 and N2 serially provided between the internal node n1 and a ground potential VSS for respectively receiving input data D and a pulse clock signal CQ at the gates thereof and a feedback part provided with an Inverter V1 provided between the internal node n1 and a non-inverted output terminal Q, a P channel MOSFET P3 provided between the power supply voltage VCC and the internal node n1 for receiving a non-inverted output signal Q at the gate thereof and N channel MOSFET N4 and N5 serially provided

between the internal node n1 and the ground potential VSS for respectively receiving the non-inverted output signal Q and the pulse reset signal CR at the gates thereof.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-299623

(P2000-299623A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl.⁷

H 0 3 K 3/037

識別記号

F I

H 0 3 K 3/037

テーマコード(参考)

Z 5 J 0 4 3

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平11-105361

(22) 出願日 平成11年4月13日 (1999. 4. 13)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 矢吹 忍

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100081938

弁理士 徳若 光政

Fターム(参考) 5J043 AA04 EE01 HH01 JJ04 KK02

KK03 KK10

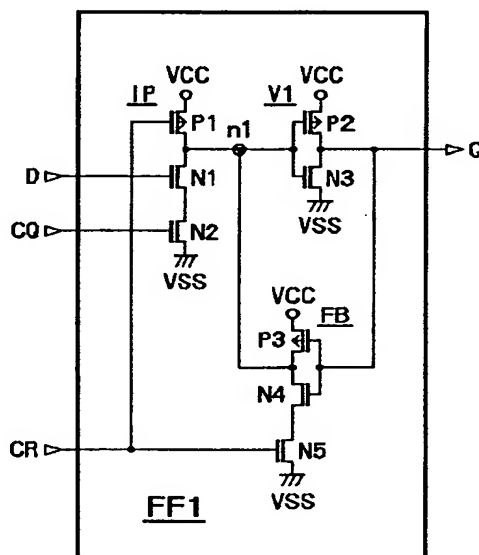
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 高速動作可能なフリップフロップを実現して、マイクロプロセッサ等の高速化を図り、コンピュータシステム等のマシンサイクルを短縮する。

【解決手段】 マイクロプロセッサ等の順序回路の基本素子となるフリップフロップFF1を、電源電圧VCCと内部ノードn1との間に設けられそのゲートにパルスリセット信号CRを受けるPチャンネルMOSFET P1と、内部ノードn1と接地電位VSSとの間に直列形態に設けられそのゲートに入力データD及びパルスクロック信号CQをそれぞれ受けるNチャンネルMOSFET N1及びN2とを含む入力部IPと、内部ノードn1と非反転出力端子Qとの間に設けられるインバータV1と、電源電圧VCCと内部ノードn1との間に設けられそのゲートに非反転出力信号Qを受けるPチャンネルMOSFET P3と、内部ノードn1と接地電位VSSとの間に直列形態に設けられそのゲートに非反転出力信号Q及びパルスリセット信号CRをそれぞれ受けるNチャンネルMOSFET N4及びN5とを含む帰還部とにより構成する。

図4 フリップフロップの回路構成



【特許請求の範囲】

【請求項1】 クロック信号のハイレベル又はロウレベルへの変化を受けて所定期間だけ選択的に有効レベルとされる第1のバルス信号と、該第1のバルス信号の無効レベルへの変化を受けて所定期間だけ選択的に有効レベルとされる第2のバルス信号とを生成するクロック発生部と、
上記第1のバルス信号の有効レベルを受けてリセット状態とされ、上記第2のバルス信号の有効レベルを受けてその出力レベルが遷移されるフリップフロップを含む論理部とを具備することを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、
上記論理部は、所定の組合せ回路をはさんで設けられる複数段の上記フリップフロップを含むものであって、
上記第1及び第2のバルス信号のバルス幅の合計値は、
上記第1のバルス信号が有効レベルとされてから上記フリップフロップの出力レベルが遷移されるまでの遅延時間と、上記組合せ回路の伝搬遅延時間との合計値より小さくされるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項1又は請求項2において、
上記フリップフロップは、
第1の電源電圧と第1の内部ノードとの間に設けられ、そのゲートに上記第1のバルス信号を受けるPチャンネル型の第1のMOSFETと、そのドレインが上記第1の内部ノードに結合され、そのゲートがデータ入力端子に結合されるNチャンネル型の第2のMOSFETと、
該第2のMOSFETのソースと第2の電源電圧との間に設けられ、そのゲートに上記第2のバルス信号を受けるNチャンネル型の第3のMOSFETとを含む入力部と、
その入力端子が上記第1の内部ノードに結合され、その出力端子が非反転出力端子に結合される第1のインバータと、
第1の電源電圧と上記第1の内部ノードとの間に設けられ、そのゲートが上記非反転出力端子に結合されるPチャンネル型の第4のMOSFETと、そのドレインが上記第1の内部ノードに結合され、そのゲートが上記非反転出力端子に結合されるNチャンネル型の第5のMOSFETと、
該第5のMOSFETのソースと第2の電源電圧との間に設けられ、そのゲートに上記第1のバルス信号を受けるNチャンネル型の第6のMOSFETとを含む帰還部とを備えるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、請求項2又は請求項3において、
上記半導体集積回路装置は、CMOS論理ゲートを基本素子とする論理集積回路装置であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体集積回路装置に関し、例えば、フリップフロップを含む順序回路を備える論理集積回路装置等の高速化及びこれを含むコンピュータシステム等のマシンサイクルの短縮に利用して特に有効な技術に関する。

【0002】

【従来の技術】フリップフロップを含む順序回路と、各種論理ゲートが組み合わされてなる組合せ回路とを含み、所定のクロック信号に従って同期動作する論理回路がある。また、このような論理回路を含むマイクロプロセッサ等の論理集積回路装置があり、マイクロプロセッサを含むコンピュータシステムがある。

【0003】

【発明が解決しようとする課題】本願発明者等は、この発明に先立って、コンピュータシステムを構成するマイクロプロセッサの開発に従事し、次のような問題点に気付いた。すなわち、このマイクロプロセッサでは、論理部の順序回路が、図6のマスタースレーブ型フリップフロップを基本素子として構成され、非反転クロック信号CKP及び反転クロック信号CKNに従って同期動作する。マスタースレーブ型フリップフロップは、CMOS（相補MOS）型の一对のインバータV2及びV3が交差結合されてなるラッチを中心とするスレーブラッチSLと、インバータV4及びV5が交差結合されてなるラッチを中心とするマスタラッチMLとを備える。

【0004】マスタースレーブ型フリップフロップのスレーブラッチSLは、非反転クロック信号CKPがロウレベルとされ反転クロック信号CKNがハイレベルとされる間、データ入力端子Dにおける入力データDの論理レベルをマスタラッチMLに伝達すべくスルー状態とされ、非反転クロック信号CKPがハイレベルとされ反転クロック信号CKNがロウレベルとされる間、入力データDの直前の論理レベルを保持すべくラッチ状態とされる。また、マスタラッチMLは、非反転クロック信号CKPがハイレベルとされ反転クロック信号CKNがロウレベルとされる間、スレーブラッチSLの出力信号n2のレベルを非反転出力端子Qに伝達すべくスルー状態とされ、非反転クロック信号CKPがロウレベルとされ反転クロック信号CKNがハイレベルとされる間、スレーブラッチSLの出力信号n2の直前の論理レベルを保持すべくラッチ状態とされる。

【0005】これにより、マスタースレーブ型フリップフロップの非反転出力信号Qの論理レベルは、非反転クロック信号CKPの立ち上がりエッジつまり反転クロック信号CKNの立ち下がりエッジに同期して遷移されるものとなり、複数段の順序回路を含むマイクロプロセッサの論理回路の動作が非反転クロック信号CKP及び反転クロック信号CKNに同期化して進行されるものとな

る。

【0006】ところが、上記CMOS回路からなるマスタースレーブ型フリップフロップでは、PチャンネルMOSFET P4～P8ならびにNチャンネルMOSFET N6～N9の駆動能力によってその伝搬遅延時間が決まるが、PチャンネルMOSFET P4～P8の駆動能力は、周知のように、NチャンネルMOSFET N6～N9に比べて小さい。このため、その影響を受けて、特にスレーブラッチSLの出力信号n 2つまり非反転出力信号Qがハイレベルからロウレベルに変化する場合の伝搬遅延時間が大きくなる。また、その出力信号がフリップフロップの非反転出力信号QとなるマスタラッチMLの前段に、スレーブラッチSLが設けられることで、クロック信号に対する入力データDのセットアップ時間もdsが長くなる。この結果、クロック信号の周期が長くなり、フリップフロップを含む順序回路ひいてはマイクロプロセッサ全体の高速化が制約を受ける。

【0007】この発明の目的は、CMOS回路からなりかつ高速動作可能なフリップフロップを提供することにある。この発明の他の目的は、フリップフロップを含む順序回路を備えるマイクロプロセッサ等の高速化を図り、マイクロプロセッサを含むコンピュータシステム等のマシンサイクルを短縮することにある。

【0008】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、マイクロプロセッサ等の半導体集積回路装置に、例えばクロック信号の立ち上がりを受けて所定期間だけ一時的にロウレベルとされるパルスリセット信号と、該パルスリセット信号の立ち上がりを受けて所定期間だけ一時的にハイレベルとされるパルスクロック信号とを生成するクロック発生部を設けるとともに、順序回路の基本素子となるフリップフロップを、回路の電源電圧と第1の内部ノードとの間に設けられそのゲートに上記パルスリセット信号を受けるPチャンネル型の第1のMOSFETと、上記第1の内部ノードと回路の接地電位との間に直列形態に設けられそのゲートに入力データ及び上記パルスクロック信号をそれぞれ受けるNチャンネル型の第2及び第3のMOSFETとを含む入力部と、第1の内部ノードと回路の非反転出力端子との間に設けられる第1のインバータと、回路の電源電圧と第1の内部ノードとの間に設けられそのゲートに回路の非反転出力信号を受けるPチャンネル型の第4のMOSFETと、第1の内部ノードと回路の接地電位との間に直列形態に設けられそのゲートに回路の非反転出力信号及びパルスリセット信号をそれぞれ受けるNチャンネル型の第5及び第6のMOSFETとを含む帰還部

とにより構成する。

【0010】上記した手段によれば、フリップフロップの入力部を構成する第1のMOSFETをパルスリセット信号に従ってオン状態とし、第1の内部ノードを予めハイレベルにプリチャージして、回路の非反転出力信号をロウレベルにリセットすることができるとともに、駆動能力の比較的小さなPチャンネル型の第1のMOSFETをパルスクロック信号の立ち上がりに先立ってオフ状態とし、フリップフロップの出力レベルを、ロウレベル遷移時にはそのままロウレベルとし、ハイレベル遷移時には駆動能力の比較的大きなNチャンネル型の第2及び第3のMOSFETによって高速に遷移させることができる。この結果、フリップフロップの伝搬遅延時間を短縮できるとともに、その論理構成を簡素化して、クロック信号に対する入力データのセットアップ時間を短縮することができるため、順序回路を備えるマイクロプロセッサ等の高速化を図り、マイクロプロセッサを含むコンピュータシステム等のマシンサイクルを短縮することができる。

【0011】

【発明の実施の形態】図1には、この発明が適用された論理集積回路装置（半導体集積回路装置）の一実施例の部分的な回路図が示されている。また、図2には、図1の論理集積回路装置に含まれるクロック発生部CKGの一実施例の回路図が示され、図3にはその一実施例の信号波形図が示されている。さらに、図4には、図1の論理集積回路装置の論理部LCに含まれるフリップフロップFF1の一実施例の回路図が示され、図5にはその一実施例の信号波形図が示されている。これらの図をもとに、この実施例の論理集積回路装置ならびにそのクロック発生部及びフリップフロップの構成及び動作ならびにその特徴について説明する。

【0012】なお、この実施例の論理集積回路装置は、図1に示されるもの以外に多数の論理素子及び機能ブロックを含み、所定のコンピュータシステムを構成するためのマイクロプロセッサとして機能する。図1の各ブロックを構成する回路素子は、公知のMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。また、以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。さらに、図4では、フリップフロップFF1を代表例として、論理集積回路装置の論理部LCを構成するフリップフロップFF2ならびにその他のフリップフロップを説明する。

【0013】図1において、この実施例の論理集積回路装置は、クロック信号CKを受けるクロック発生部CK

Gと、フリップフロップFF1及びFF2ならびに組合せ回路CCを含む論理部LCとを備える。このうち、クロック発生部CKGは、外部のクロック発生装置から供給されるクロック信号CKをもとに、パルスリセット信号PRS（第1のパルス信号）及びパルスクロック信号PCK（第2のパルス信号）を生成する。また、フリップフロップFF1及びFF2は、パルスリセット信号PRS及びパルスクロック信号PCKに従って同期動作し、図示されない他のフリップフロップとともに論理部LCの順序回路を構成する。

【0014】論理部LCの順序回路を構成するフリップフロップFF1及びFF2ならびに図示されないフリップフロップのリセット入力端子CRには、クロック発生部CKGからパルスリセット信号PRSが共通に供給され、そのクロック入力端子CQには、パルスクロック信号PCKが共通に供給される。また、フリップフロップFF1のデータ入力端子Dには、論理部LCの図示されない前段回路から内部信号S1が供給され、その非反転出力信号Qつまり内部信号S2は組合せ回路CCに供給される。組合せ回路CCには、例えば論理部LCの図示されない他の前段回路から内部信号S3が供給される。組合せ回路CCの出力信号S4は、フリップフロップFF2のデータ入力端子Dに供給され、その非反転出力信号Qは、内部信号S5として論理部LCの図示されない後段回路に供給される。

【0015】ここで、クロック発生部CKGは、特に制限されないが、図2に示されるように、その一方の入力端子にクロック信号CKを受け、その他方の入力端子にクロック信号CKの遅延回路DL1による遅延信号つまり内部信号d1の反転信号を受けるナンド（NAND）ゲートNAG1と、その一方の入力端子に内部信号d1を受け、その他方の入力端子に該内部信号d1の遅延回路DL2による遅延信号つまり内部信号d2の反転信号を受けるアンド（AND）ゲートAG1とを含む。ナンドゲートNAG1の出力信号はパルスリセット信号PRSとされ、アンドゲートAG1の出力信号はパルスクロック信号PCKとされる。

【0016】クロック信号CKは、特に制限されないが、図5に示されるように、ほぼ50%のデューティを有するパルス信号とされる。また、内部信号d1は、図3に示されるように、クロック信号CKを全体的に遅延回路DL1の遅延時間t1だけ遅延させたパルス信号となり、内部信号d2は、内部信号d1を全体的に遅延回路DL2の遅延時間t2だけ遅延させたパルス信号となる。

【0017】これにより、クロック発生部CKGのナンドゲートNAG1の出力信号つまりパルスリセット信号PRSは、クロック信号CKと内部信号d1の反転信号がともにハイレベルとされるとき選択的に有効レベルつまりロウレベルとされ、クロック信号CKのハイレベル

への立ち上がりを起点とし、かつ遅延回路DL1の遅延時間t1に相当するパルス幅tw1を有するネガティブなパルス信号となる。また、アンドゲートAG1の出力信号つまりパルスクロック信号PCKは、内部信号d1と内部信号d2の反転信号がともにハイレベルとされるとき選択的に有効レベルつまりハイレベルとされ、パルスリセット信号PRSの無効レベルつまりハイレベルへの立ち上がりを起点とし、かつ遅延回路DL2の遅延時間t2に相当するパルス幅tw2を有するポジティブなパルス信号となる。

【0018】なお、後述するように、パルスリセット信号PRSのパルス幅tw1とパルスクロック信号PCKのパルス幅tw2の合計値tw3は、論理部LCの順序回路を構成するフリップフロップのパルスリセット信号PRSに対する遅延時間tdrと、組合せ回路CCの伝搬遅延時間tdcとに対して、 $tw3 \leq tdr + tdc$ なる関係となるよう設定され、これによって論理部LCにおけるデータ転送時のレーシングを防止することができる。

【0019】次に、論理部LCの順序回路を構成するフリップフロップFF1及びFF2ならびに図示されないフリップフロップは、特に制限されないが、図4のフリップフロップFF1に代表して示されるように、入力部IP、CMOSインバータV1（第1のインバータ）ならびに帰還部FBからなる。

【0020】このうち、入力部IPは、電源電圧VCC（第1の電源電圧）と内部ノードn1（第1の内部ノード）との間に設けられるPチャンネル型のMOSFETP1（第1のMOSFET）と、内部ノードn1と接地電位VSS（第2の電源電圧）との間に直列形態に設けられるNチャンネル型のMOSFETN1（第2のMOSFET）及びN2（第3のMOSFET）とを含む。MOSFETP1のゲートはリセット入力端子CRに結合され、上記クロック発生部CKGからパルスクロック信号PCKが供給される。また、MOSFETN1のゲートはデータ入力端子Dに結合され、論理部LCの前段回路から入力データDが供給される。さらに、MOSFETN2のゲートはクロック入力端子CQに結合され、クロック発生部CKGからパルスクロック信号PCKが供給される。

【0021】一方、フリップフロップFF1のインバータV1は、PチャンネルMOSFETP1及びNチャンネルMOSFETN3からなり、その入力端子は上記内部ノードn1に結合される。また、その出力端子は非反転出力端子Qに結合され、非反転出力端子Qにおけるレベルは、非反転出力信号Qとなる。

【0022】さらに、フリップフロップFF1の帰還部FBは、電源電圧VCCと内部ノードn1との間に設けられるPチャンネル型のMOSFETP3（第4のMOSFET）と、内部ノードn1と接地電位VSSとの間

に直列形態に設けられるNチャンネル型のMOSFET N4 (第5のMOSFET) 及びN5 (第6のMOSFET) とを含む。MOSFET P3及びN4のゲートは、回路の非反転出力端子Qに共通結合される。また、MOSFET N5のゲートは、リセット入力端子CRに結合され、パルスリセット信号PRSが供給される。

【0023】図5のサイクルcy1において、クロック信号CKの立ち上がりを受けてパルスリセット信号PRSがパルス幅 t_{w1} だけ一時的にロウレベルとなると、フリップフロップFF1では、入力部IPのMOSFET P1がオン状態となる。このとき、パルスクロック信号PCKはロウレベルとされ、入力部IPのMOSFET N2はオフ状態となる。また、帰還部FBでは、パルスリセット信号PRSのロウレベルを受けてMOSFET N5がオフ状態となり、非反転出力端子Q及び内部ノードn1間の帰還経路が断たれる。この結果、内部ノードn1は、MOSFET P1を介して電源電圧VCCのようなハイレベルにプリチャージされ、非反転出力信号Qは接地電位VSSのようなロウレベルとされる。

【0024】パルスリセット信号PRSが無効レベルつまりハイレベルに戻され、パルスクロック信号PCKがパルス幅 t_{w2} だけ一時的にハイレベルとなると、フリップフロップFF1では、まずパルスリセット信号PRSのハイレベルを受けてMOSFET P1がオフ状態となる。また、パルスクロック信号PCKの一時的なハイレベルを受けて入力部IPのMOSFET N2がオン状態となり、内部ノードn1は、MOSFET N1の状態、つまり入力データDの論理値に応じて選択的にディスチャージされ、接地電位VSSのようなロウレベルとされる。

【0025】すなわち、図5に太い実線で例示されるように、クロック信号CKの立ち上がりには先立って入力データDがハイレベルからロウレベルに変化される場合、フリップフロップFF1の入力部IPのMOSFET N2がオン状態となった時点で入力部IPのMOSFET N1はオフ状態とされる。このため、内部ノードn1は、ディスチャージされることなくそのままハイレベルのプリチャージ電位を保持し、非反転出力信号Qはロウレベルのままとされる。

【0026】一方、図5に細い実線で例示されるように、クロック信号CKの立ち上がりには先立って入力データDがロウレベルからハイレベルに変化される場合、フリップフロップFF1の入力部IPのMOSFET N2がオン状態となった時点で、入力部IPのMOSFET N1もオン状態とされる。このため、内部ノードn1はMOSFET N1及びN2を介して接地電位VSSのようなロウレベルにディスチャージされ、非反転出力信号Qはハイレベルに遷移される。

【0027】周知のように、CMOS回路では、PチャンネルMOSFETの駆動能力がNチャンネルMOSF

ETに比べて小さい。ところが、この実施例のフリップフロップFF1では、入力部IPを構成するPチャンネル型のMOSFET P1が、パルスクロック信号PCKが有効レベルつまりハイレベルとされるのに先立って一時的にオン状態とされ、内部ノードn1のプリチャージが行われるとともに、このMOSFET P1は、やはりパルスクロック信号PCKがハイレベルとされるのに先立ってオフ状態とされ、以後入力データDの論理値に応じた非反転出力信号Qのレベル遷移に関与しない。さらに、入力データDがハイレベルからロウレベルに変化される場合、内部ノードn1及び非反転出力信号Qの論理レベルは遷移されることなく保持され、入力データDがロウレベルからハイレベルに変化される場合、内部ノードn1及び非反転出力信号Qの論理レベルは、駆動能力の比較的大きなMOSFET N1及びN2によって遷移される。

【0028】これらのことから、この実施例のフリップフロップFF1では、パルスクロック信号PCKがハイレベルとされてから非反転出力信号Qが遷移されるまでの時間が大幅に短縮され、相応してフリップフロップとしての伝搬遅延時間が短縮されるとともに、例えば図6のようなスレーブラッチを含まずフリップフロップとしての回路構成が簡素化されることで、クロック信号CKの立ち上がりに対する入力データDのセットアップ時間 t_{ds} が短くて済む。この結果、相応してクロック信号CKの周期を短縮することができるため、順序回路を備える論理集積回路装置の高速化を図り、論理集積回路装置をマイクロプロセッサとして含むコンピュータシステム等のマシンサイクルを短縮できるものである。

【0029】なお、パルスクロック信号PCKがハイレベルとされるとき、フリップフロップFF1の帰還部FBではMOSFET N5がオン状態となり、非反転出力端子Q及び内部ノードn1間の帰還経路が形成される。このため、非反転出力端子Qにおける非反転出力信号Qの論理レベルは、インバータV1及び帰還部FBがPチャンネル型のMOSFET P2及びP3を含むにもかかわらず、内部ノードn1における内部信号n1の反転レベルとなるべく急速に遷移される。

【0030】一方、パルスリセット信号PRS及びパルスクロック信号PCKのパルス幅が長過ぎる場合、例えば順序回路のフリップフロップFF1の後段に設けられるフリップフロップFF2でいわゆるレーシングが発生し、論理集積回路装置が誤動作するおそれがある。これに対処するため、パルスリセット信号PRSのパルス幅 t_{w1} とパルスクロック信号PCKのパルス幅 t_{w2} の合計値 t_{w3} は、順序回路を構成するフリップフロップFF1等のパルスリセット信号PRSに対する遅延時間 t_{dr} と、組合せ回路CCの伝搬遅延時間 t_{dc} とに対して、 $t_{w3} \leq t_{dr} + t_{dc}$ なる関係となるよう設定する必要がある。

【0031】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) マイクロプロセッサ等に、例えばクロック信号の立ち上がりを受けて所定期間だけ一時的にロウレベルとされるパルスリセット信号と、該パルスリセット信号の立ち上がりを受けて所定期間だけ一時的にハイレベルとされるパルスクロック信号とを生成するクロック発生部を設けるとともに、順序回路の基本素子となるフリップフロップを、回路の電源電圧と第1の内部ノードとの間に設けられそのゲートにパルスリセット信号を受けるPチャンネル型の第1のMOSFETと、上記第1の内部ノードと回路の接地電位との間に直列形態に設けられそのゲートに入力データ及びパルスクロック信号をそれぞれ受けるNチャンネル型の第2及び第3のMOSFETとを含む入力部と、第1の内部ノードと回路の非反転出力端子との間に設けられる第1のインバータと、回路の電源電圧と第1の内部ノードとの間に設けられそのゲートに回路の非反転出力信号を受けるPチャンネル型の第4のMOSFETと、第1の内部ノードと回路の接地電位との間に直列形態に設けられそのゲートに回路の非反転出力信号及びパルスリセット信号をそれぞれ受けるNチャンネル型の第5及び第6のMOSFETとを含む帰還部とにより構成することで、フリップフロップの入力部を構成する第1のMOSFETをパルスリセット信号に従ってオン状態とし、第1の内部ノードを予めハイレベルにプリチャージして、回路の非反転出力信号をロウレベルにリセットすることができるとともに、駆動能力の比較的小さなPチャンネル型の第1のMOSFETをパルスクロック信号の立ち上がりに先立ってオフ状態とし、フリップフロップの出力レベルを、ロウレベル遷移時にはそのままロウレベルとし、ハイレベル遷移時には駆動能力の比較的大きなNチャンネル型の第2及び第3のMOSFETによって高速に遷移させることができるという効果が得られる。

【0032】(2) 上記(1)項により、順序回路を構成するフリップフロップの伝搬遅延時間を短縮することができるという効果が得られる。

(3) 上記(1)項及び(2)項により、順序回路を構成するフリップフロップの論理構成を簡素化して、クロック信号に対する入力データのセットアップ時間を短縮することができるという効果が得られる。

(4) 上記(1)項ないし(3)項により、順序回路を備えるマイクロプロセッサ等の高速化を図ることができるという効果が得られる。

(5) 上記(1)項ないし(4)項により、マイクロプロセッサを含むコンピュータシステム等のマシンサイクルを短縮できるという効果が得られる。

【0033】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない

範囲で種々変更可能であることは言うまでもない。例えば、図1において、論理集積回路装置の論理部LCは、前記したように、他に多数のフリップフロップや各種論理ゲートを含むことができるし、論理集積回路装置は、各種の機能ブロックを備えることができる。また、外部のクロック発生装置からクロック発生部CKGに供給されるクロック信号は、複数相のパルス信号であってもよいし、そのデューティも50%であることを必須条件とはしない。

【0034】図2において、クロック発生部CKGの回路構成は、その基本的な論理条件が変わらない限り、種々の実施形態をとりうる。図4において、フリップフロップFF1の回路構成や電源電圧の極性及びMOSFETの導電型等は、制約を受けることなく種々の実施形態をとりうる。図3及び図5において、パルスリセット信号PRS及びパルスクロック信号PCCKは、例えばクロック信号CKのロウレベルへの立ち下がりをを受けて生成するようにしてもよい。また、各信号の具体的なレベル及び時間関係は、本発明の主旨に制約を与えない。

【0035】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である論理集積回路装置つまりマイクロプロセッサに適用した場合について説明したが、それに限定されるものではなく、例えば、フリップフロップとして単体で形成されるものや、シングルチップマイクロコンピュータ等の各種論理集積回路装置ならびに同様な順序回路を含む各種メモリ集積回路装置等にも適用できる。この発明は、少なくともクロック信号に従って同期動作するフリップフロップ及びこのようなフリップフロップを含む半導体集積回路装置ならびに半導体集積回路装置を含む装置又はシステムに広く適用できる。

【0036】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、マイクロプロセッサ等に、例えばクロック信号の立ち上がりを受けて所定期間だけ一時的にロウレベルとされるパルスリセット信号と、該パルスリセット信号の立ち上がりを受けて所定期間だけ一時的にハイレベルとされるパルスクロック信号とを生成するクロック発生部を設けるとともに、順序回路の基本素子となるフリップフロップを、回路の電源電圧と第1の内部ノードとの間に設けられそのゲートに上記パルスリセット信号を受けるPチャンネル型の第1のMOSFETと、上記第1の内部ノードと回路の接地電位との間に直列形態に設けられそのゲートに入力データ及び上記パルスクロック信号をそれぞれ受けるNチャンネル型の第2及び第3のMOSFETとを含む入力部と、第1の内部ノードと回路の非反転出力端子との間に設けられる第1のインバータと、回路の電源電圧と第1の内部ノードとの間に設けられそのゲートに回路の非反転出力信

号を受けるPチャンネル型の第4のMOSFETと、第1の内部ノードと回路の接地電位との間に直列形態に設けられそのゲートに回路の非反転出力信号及びパルスリセット信号をそれぞれ受けるNチャンネル型の第5及び第6のMOSFETとを含む帰還部とにより構成する。

【0037】これにより、フリップフロップの入力部を構成する第1のMOSFETをパルスリセット信号に従ってオン状態とし、第1の内部ノードを予めハイレベルにプリチャージして、回路の非反転出力信号をロウレベルにリセットすることができるとともに、駆動能力の比較的小さなPチャンネル型の第1のMOSFETをパルスリセット信号の立ち上がりによってオフ状態とし、フリップフロップの出力レベルを、ロウレベル遷移時にはそのままロウレベルとし、ハイレベル遷移時には駆動能力の比較的大きなNチャンネル型の第2及び第3のMOSFETによって高速に遷移させることができる。この結果、フリップフロップの伝搬遅延時間を短縮できるとともに、その論理構成を簡素化して、クロック信号に対する入力データのセットアップ時間を短縮することができるため、順序回路を備えるマイクロプロセッサ等の高速化を図り、マイクロプロセッサを含むコンピュータシステム等のマシンサイクルを短縮することができる。

【図面の簡単な説明】

【図1】この発明が適用された論理集積回路装置の一実施例を示す部分的な回路図である。

【図2】図1の論理集積回路装置に含まれるクロック発生部の一実施例を示す回路図である。

【図3】図2のクロック発生部の一実施例を示す信号波形図である。

【図4】図1の論理集積回路装置の論理部に含まれるフリップフロップFF1の一実施例を示す回路図である。

【図5】図4のフリップフロップFF1の一実施例を示す信号波形図である。

【図6】この発明に先立って本願発明者等が開発した論理集積回路装置の論理部に含まれるマスタスレーブ型フリップフロップの一例を示す回路図である。

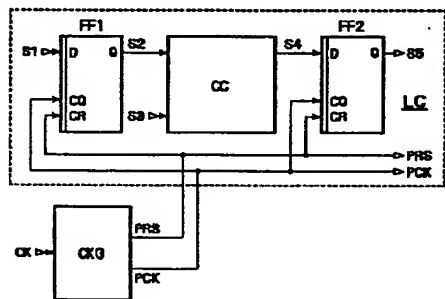
【図7】図6のマスタスレーブ型フリップフロップの一例を示す信号波形図である。

【符号の説明】

LC……論理部、FF1～FF2……フリップフロップ、D……入力データ又はデータ入力端子、CQ……クロック入力端子、CR……リセット入力端子、Q……非反転出力信号又は非反転出力端子、CC……組合せ回路、CKG……クロック発生部、CK……クロック信号、PRS……パルスリセット信号、PCK……パルスクロック信号、S1～S5……内部信号、DL1～DL2……遅延回路、NAG1……ナンド(NAND)ゲート、AG1……アンド(AND)ゲート、d1～d2……内部信号、t1～t2……遅延時間、tw1……パルスリセット信号のパルス幅、tw2……パルスクロック信号のパルス幅、IP……入力部、FB……帰還部、cy1～cy2……サイクル、tds……データセットアップ時間、tdr……フリップフロップ非反転出力信号のパルスリセット信号に対する遅延時間、tdc……組合せ回路の伝搬遅延時間、SL……スレーブラッチ、ML……マスタラッチ、CKP……非反転クロック信号、CKN……反転クロック信号、cy11～cy12……サイクル、V1～V5……CMOSインバータ、P1～P7……PチャンネルMOSFET、N1～N9……NチャンネルMOSFET、n1～n2……内部ノード、VCC……電源電圧、VSS……接地電位。

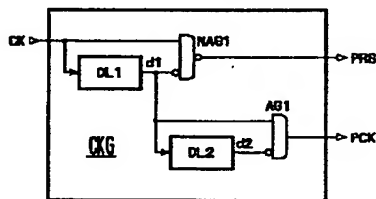
【図1】

図1 論理集積回路装置の部分回路構成



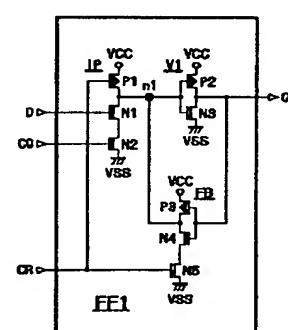
【図2】

図2 クロック発生部の回路構成



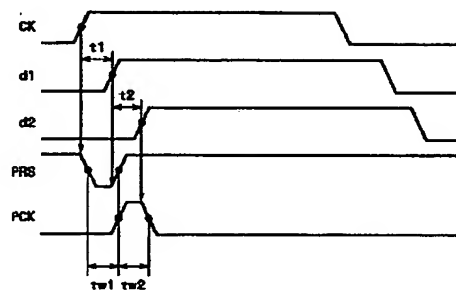
【図4】

図4 フリップフロップの回路構成



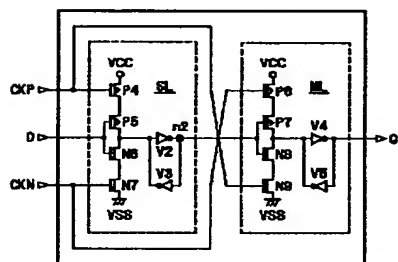
【図3】

図3 クロック発生部の信号波形



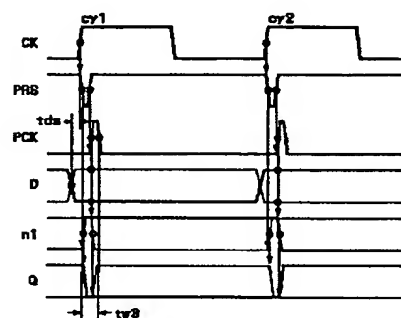
【図6】

図6 マスタースレーブ型フリップフロップの回路構成



【図5】

図5 フリップフロップの信号波形



$$tw1 + tw2 = tw3 \leq tdr + tdo$$

tw1: PRSの遅延
tw2: PCXの遅延
tw3: PRSの遅延+PCXの遅延
tdr: FF-QのPRR遅延
tdo: CC (組合せ回路) の遅延

【図7】

図7 マスタースレーブ型フリップフロップの信号波形

